



XA-9933
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Ryotaro SAKURAI et al.

Appln. No.: 10/667,512

Group Art Unit: 2818

Filed: September 23, 2003

For: NONVOLATILE MEMORY

* * *

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants submit herewith a certified copy of
Japanese Patent Application No. 2002-278905 filed September
25, 2002, for which priority has been claimed under 35
U.S.C. § 119.

Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:sys

Miles & Stockbridge P.C.
1751 Pinnacle Drive, Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

January 30, 2004

10/667 512
GAV 2818

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月25日
Date of Application:

出願番号 特願2002-278905
Application Number:

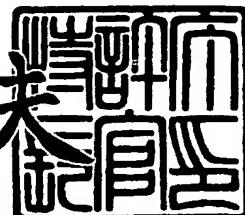
[ST. 10/C] : [JP2002-278905]

出願人
Applicant(s): 株式会社ルネサステクノロジ
株式会社日立超エル・エス・アイ・システムズ

2003年10月23日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3087615



【書類名】 特許願
【整理番号】 H02012781
【あて先】 特許庁長官殿
【国際特許分類】 G11C 7/00
G11C 11/40

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 櫻井 良多郎

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 22 番 1 号 株式会社 日
立超エル・エス・アイ・システムズ内

【氏名】 田中 均

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 16 番地の 3 株式会社日立製
作所 デバイス開発センタ内

【氏名】 野田 敏史

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 20 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 重松 孝次

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項1】 記憶情報を電気的に書き込み、消去可能であってしきい値電圧に対応して情報を記憶する複数の不揮発性記憶素子を含むメモリアレイを備え、所定の単位で書き込みおよび消去を行なうように構成された不揮発性半導体記憶装置であって、

書き込みまたは消去動作中に電源遮断が発生した場合に、実行中の動作を中断して書き込みまたは消去対象の記憶素子のしきい値電圧を、高くする方向に変化させる書戻し処理を行なうように構成されてなることを特徴とする不揮発性半導体記憶装置。

【請求項2】 所定の制御信号が入力される外部端子を備え、該外部端子へ入力される制御信号の変化に応じて電源遮断の発生を認知し上記書戻し処理を実行するように構成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 上記記憶素子は書き込み動作によつてしきい値電圧が高い状態にされ、消去動作によつてしきい値電圧が低い状態にされる記憶素子であり、書き込みまたは消去動作中に電源遮断が発生した場合に、書き込みまたは消去対象の記憶素子のしきい値電圧が所定のレベル以下になつてゐるか否か判定し、しきい値電圧が所定のレベル以下の記憶素子はしきい値電圧を上げる方向にバイアス電圧を印加するように構成されていることを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

【請求項4】 記憶情報の書換えに際して、選択された記憶素子のしきい値電圧が一旦低い状態にされた後、高い状態に変化されることを特徴とする請求項3に記載の不揮発性半導体記憶装置。

【請求項5】 上記メモリアレイは、複数の記憶素子が並列形態に接続されたメモリ列を複数個有するメモリアレイであることを特徴とする請求項1～4のいずれかに記載の不揮発性半導体記憶装置。

【請求項6】 書込みまたは消去動作中に電源遮断が発生したことを記憶す

る不揮発性記憶素子からなるフラグを有することを特徴とする請求項 1～5 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 7】 上記フラグは書込み単位毎に設けられていることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 8】 アドレスのデコードが階層的に行なわれるように構成され、上位のアドレスのデコードにより選択される第 1 記憶素子群のそれぞれに対応されたフラグからなる第 1 フラグ群と、上記第 1 記憶素子群内の下位アドレスが共通の第 2 記憶素子群にそれぞれ対応されたフラグからなる第 2 のフラグ群とを有し、上記第 1 フラグ群のフラグと第 2 フラグ群のフラグは各々対応する第 1 記憶素子群および第 2 記憶素子群に対する書込みまたは消去が行なわれているときに電源遮断が発生した場合にセット状態にされることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

【請求項 9】 電源遮断が発生した時点の書込みまたは消去対象の記憶素子を指定するアドレスを記憶する不揮発性記憶回路を有することを特徴とする請求項 1～5 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 10】 電源遮断が発生した時点の動作が書込み動作モードまたは消去動作モードである場合にその動作モードを記憶するフラグをさらに有することを特徴とする請求項 7～9 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 11】 電源立ち上がり時に上記不揮発性記憶回路に記憶されているアドレスを所定のレジスタに読み出すように構成されてなることを特徴とする請求項 9 に記載の不揮発性半導体記憶装置。

【請求項 12】 外部からの所定のコマンドコードもしくは制御信号の入力に応じて上記レジスタに保持されているアドレスを外部へ出力するように構成されていることを特徴とする請求項 11 に記載の不揮発性半導体記憶装置。

【請求項 13】 記憶情報を電気的に書込み、消去可能であってしきい値電圧に対応して情報を記憶する複数の不揮発性記憶素子を含むメモリアレイと、外部から供給される外部電源電圧に基づいて内部動作に必要な内部電源電圧を生成する内部電源回路とを備え、所定の単位で書込みおよび消去を行なうように構成された不揮発性半導体記憶装置であって、

上記内部電源回路は上記外部電源電圧のレベルに応じて異なる内部電源電圧を生成するように切替え可能に構成され、書き込みまたは消去動作中に電源遮断が発生した場合に、実行中の動作を中断して書き込みまたは消去対象の記憶素子のしきい値電圧を、高くする方向に変化させる書き戻し処理を行なうように構成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 14】 上記内部電源回路は、段数を切替え可能なチャージポンプ回路を備え、該チャージポンプ回路は段数が少なくされた状態においては昇圧動作に関与しない昇圧段の昇圧用容量が平滑容量として機能するように構成されていることを特徴とする請求項 13 に記載の不揮発性半導体記憶装置。

【請求項 15】 外部から供給される電源電圧レベルを検出する電源電圧検出回路を備え、上記内部電源回路は、該電源電圧検出回路による検出レベルに応じて上記チャージポンプ回路の段数を切り替えるように構成されていることを特徴とする請求項 14 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、記憶情報を電気的に書き込み、消去可能な不揮発性半導体記憶装置における書き込みまたは消去動作中に電源遮断が発生した場合の対策技術に関し、例えばデータを所定の単位で一括消去可能なフラッシュメモリに利用して有効な技術に関するものである。

【0002】

【従来の技術】

フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する2重ゲート構造のMOSFETからなる不揮発性記憶素子をメモリセルに使用しており、フローティングゲートの蓄積電荷量を変えることでMOSFETのしきい値電圧を変化させ情報を記憶するようにしている。

【0003】

かかるフラッシュメモリにおいては、メモリセルへの書き込み・消去動作の際にしきい値電圧を低い状態に変化させことがある。この場合、メモリセルの特性

バラツキによってしきい値電圧の変化の仕方にはらつきがあり、しきい値電圧が0V以下に下がってしまう（以下、デプリート状態と称する）ことがある。通常、このようにしきい値電圧が下がり過ぎたメモリセルは書上げもしくは書戻しと呼ばれる動作でしきい値電圧が所定の範囲に入るようにされる。

【0004】

【発明が解決しようとする課題】

しかしながら、メモリカードなどに使用されるフラッシュメモリにあっては、停電の発生やユーザーがカードをスロットから引き抜くことで書込みや消去動作の途中で電源が遮断があることがある。そのため、電源遮断によりメモリアレイ内的一部のメモリセルがデプリート状態のままになるおそれがある。かかるデプリート状態のメモリセルが発生すると、図3のように複数のメモリセルMCがビット線BLとソース線SLとの間に並列に接続されてなるいわゆるAND型やNOR型のフラッシュメモリにあっては、選択されていないデプリート状態のメモリセルを通して電流が流れてしまい、選択メモリセルの記憶データを正確に読み出すことができないデプリート不良が発生する。

【0005】

そして、デプリート不良を起したメモリセルを含むブロックが、メモリ上のファイルの位置を管理するテーブルデータやフォーマット情報などシステムにとって重要なデータを記憶するシステム領域として使用されていた場合には、メモリの認識ができなくなったりシステムの正常動作が不能になるおそれがある。

【0006】

この発明の目的は、フラッシュメモリのような電気的に書込み、消去可能な不揮発性半導体記憶装置において、書込みまたは消去動作中に電源遮断が発生した場合にも、デプリート状態のメモリセルが発生しないようにすることにある。

【0007】

この発明の他の目的は、フラッシュメモリのような電気的に書込み、消去可能な不揮発性半導体記憶装置において、書込みまたは消去動作中に電源遮断が発生した場合には、電源遮断が発生したことを外部装置が認識できるようにすることにある。

【0008】

この発明のさらに他の目的は、フラッシュメモリのような電気的に書き込み、消去可能な不揮発性半導体記憶装置において、書き込みまたは消去動作中の電源遮断により、メモリの認識ができなくなったりシステムの正常動作が不能になるのを回避できるようにすることにある。

【0009】

この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0011】

すなわち、本願の第1の発明は、フラッシュメモリのような不揮発性半導体記憶装置において、書き込みまたは消去動作中に電源遮断が発生した場合には、実行中の動作を中断してしきい値電圧を高くする方向へ変化させる書き戻し処理を行なうように構成したものである。

【0012】

上記した手段によれば、書き込みまたは消去の動作が完全に終了する前に電源遮断が発生してデプリート状態のメモリセルが発生しても、その後の書き戻し処理でメモリセルのしきい値電圧が高くされるため、ブロック全体のデータが正しく読めなくなる事態に至るのを回避できるようになる。

【0013】

また、本願の他の発明は、フラッシュメモリのような不揮発性半導体記憶装置において、少なくとも書き込みまたは消去動作中に電源遮断が発生した場合には、電源遮断が発生したことを外部へ知らせるフラグを設けるようにした。また、望ましくは、電源遮断時にアクセスしていたアドレスを出力する機能を設ける。これにより、ホストCPUなどの外部装置は、電源遮断で破損したメモリ内のデータの修復を行なうことができるようになる。

【0014】

本願のさらに他の発明は、フラッシュメモリのような不揮発性半導体記憶装置において、書込みまたは消去動作中に電源遮断が発生した場合には、実行中の動作を中断してしきい値電圧を高くする方向へ変化させる書戻し処理を行なうとともに、該書戻し処理が行なえるように電源電圧のレベルに応じて内部電源回路（チャージポンプの段数）を切替え可能に構成したものである。これにより、電源遮断によって電源電圧が低下しても内部電源回路がそれに応じて動作電圧を発生することによって、書戻し処理を確実に実行することができるようになる。

【0015】

【発明の実施の形態】

以下、本発明の一実施例を、図面を用いて説明する。

【0016】

図1は、本発明を適用して有効な不揮発性半導体記憶装置の一例としてのフラッシュメモリの実施例のブロック図を示す。フラッシュメモリには1つのメモリセルに1ビットのデータを記憶可能な2値メモリがあるが、この実施例のフラッシュメモリは1つのメモリセルに2ビットのデータを記憶可能な4値メモリとして構成され、単結晶シリコンのような1個の半導体チップ上に形成される。

【0017】

図1において、符号10は複数の不揮発性記憶素子（メモリセル）がマトリックス状に配置されたメモリアレイ、11はアドレス（Xアドレス）信号をデコードして前記メモリアレイ10内の対応するワード線WLを選択レベルにするアドレスデコーダで、該アドレスデコーダ11にはワード線WLを選択レベルに駆動するワードドライバ回路が含まれている。メモリアレイ10を構成するメモリセルは、フローティングゲートとコントロールゲートを有するMOSFETからなり、フローティングゲートに注入される電荷の量に応じてしきい値電圧が図2に示すように、4段階のいかに設定されることにより2ビットの情報を記憶するようになる。

【0018】

特に制限されるものでないが、本実施例においては、しきい値電圧が最も高い

状態がデータ“01”に対応し、しきい値電圧が2番目に高い状態がデータ“00”、しきい値電圧が3番目に高い状態がデータ“10”、しきい値電圧が最も低い状態がデータ“11”に対応されている。なお、本明細書においては、しきい値電圧が最も低い状態を消去状態と称する。つまり、しきい値電圧を下げる動作を消去と称し、しきい値電圧を上げる動作を書き込みもしくは書戻しと称する。本実施例のフラッシュメモリにおいては、メモリアレイ10内のデータを書き換える際に、メモリセルは一旦消去状態にされてからデータに相当するしきい値電圧になるように書き込み電圧の印加が行なわれる。

【0019】

図1において、符号12はメモリアレイ10内のビット線B1に接続され書き込みデータを保持したり読出し信号の增幅およびラッチを行なうセンスアンプ、13は1本のワード線に接続された複数のメモリセルのうちバイト単位で書き込みデータや読出しデータを選択するYゲート（カラムスイッチ）、14はセンスアンプ12により増幅されたデータ信号または外部から入力された書き込みデータ信号を増幅するメインアンプ、15はメインアンプ14における信号の方向を制御したり外部からのアドレス信号に基づいてもしくは内部でアドレス信号を生成してYゲート13を選択制御したりするアクセス制御回路である。

【0020】

また、16は外部から入出力端子I/O0～I/O7を介して入力されたコマンドコードに従って内部の制御信号を生成する制御論理部、17は該制御論理部16の制御シーケンスをマイクロプログラムのような形式で記憶するシーケンス用ROMである。入出力端子I/O0～I/O7は、上記コマンドの入力の他、書き込みデータやアドレスの入力、リードデータの出力にも利用される。書き込み時に外部より入出力端子I/O0～I/O7に入力されたライトデータは前記メインアンプ14およびセンスアンプ12を経てメモリアレイ10に供給され、ライトアドレスは一旦制御論理部16に取り込まれ電圧変換回路18にてレベル変換されてからアドレスデコーダ11に供給される。電圧変換回路18は、制御論理部16からアドレスデコーダ11に供給される書き込みパルス幅（＝書き込み電圧を印加する時間）や書き込み電圧レベルを指定する制御信号もレベル変換する。

【0021】

さらに、制御論理部16は、書き込みや消去が成功したか失敗したかを示すビットなどを有するステータスレジスタSTRやアクセス中のアドレスを保持するアドレスレジスタADRを備えており、ステータスレジスタSTRやアドレスレジスタADRの内容は入出力端子I/O0～7からチップ外部へ出力可能に構成されている。ステータスレジスタSTRには、消去結果を示すビット（消去チェックビット）、書き込み結果を示すビット（書き込みチェックビット）のほか、チップの内部制御状態を示すビット（以下、R/Bビット）や、後述の動作チェックフラグとして用いられるビットが設けられている。R/Bビットは、それが論理“0”的ときはチップが動作状態にあり外部からのアクセスが不能であることを、また“1”的ときは、チップ内部は待機状態にあって外部からのアクセスが可能であることを表わすようにされる。

【0022】

この実施例のフラッシュメモリには、特に制限されないが、電源電圧VCCのレベルを検出する電源電圧検出回路19や該電源電圧検出回路19による電源電圧の立ち上がり検出信号と外部のコントローラから入力されるリセット信号/RESに基づいて制御論理部16に対してパワーオンリセット信号や電源遮断リセット信号などの内部リセット信号を生成するリセット制御部20、リングオシレータなどからなるクロック発生部21、発生されたクロック信号を分周するクロック分周部22、チャージポンプや電圧レギュレータなどからなりアドレスデコーダ11で必要とされる書き込み電圧Vwや消去電圧Ve、ベリファイ電圧Vvv、VeVのような高電圧やリフアランス電圧Vrefのような低電圧を生成する内部電源回路23を備えている。

【0023】

また、この実施例のフラッシュメモリは、書き込みまたは消去動作の途中で外部のコントローラから入力されるリセット信号/RESに基づいてリセット制御部20が制御論理部16に対して電源遮断を知らせる信号が供給されると、制御論理部16は実行中の動作を中断し、書き込みまたは消去対象のメモリセルのしきい値電圧を上げる書き戻し処理を実行するように構成されている。

【0024】

また、この実施例のフラッシュメモリには、外部のコントローラから入力される例えばチップ選択信号／C E、書き込み制御信号／W E、出力制御信号／O E、読み出し制御信号／R E等が入力される制御ピンC 1～C nが設けられている。これらの制御ピンに入力された制御信号は制御論理部16に供給される。ここで、特に制限されるものでないが、符号の前に「／」が付記されている信号は、ロウレベルが有効レベルであること意味する。また、制御論理部16からはチップにコマンドを入力することが可能な状態にあるか否かを示すレディ／ビジー信号R／Bがチップ外部へ出力されるようにされている。

【0025】

この実施例のフラッシュメモリのメモリアレイは、図3に示されているように、128個のメモリセルMC 0～MC 127がビット線B L 1, B L 2……とソース線S L 1, S L 2……との間に並列に接続されたメモリ列が例えば8512個ワード線方向に並んで配設されている。本明細書ではこれをメモリブロックと称する。横方向つまり同一行のメモリセルはそれぞれ共通のワード線W L 0, W L 1, ……W L 127に接続されている。本明細書では、同一のワード線に接続されたメモリセル群をセクタと称する。本実施例のフラッシュメモリは、このセクタを単位として書き込みと消去を行なうように構成されている。

【0026】

次に、上記実施例のフラッシュメモリをメモリカードに使用した場合の構成例を、図4を用いて説明する。

【0027】

図4に示されているように、メモリカードはフラッシュメモリ100と該フラッシュメモリ100にコマンドやアドレスを供給するマイクロプロセッサなどからなるコントローラL S I 200とがセラミックなどのパッケージ300に封止されて構成される。

【0028】

パッケージ300には、電源電圧V C CおよびV S Sが印加される電源端子T 1, T nや外部装置と接続される外部端子T 2……が設けられ、電源端子T 1,

Tn にはボンディングワイヤやプリント配線基板に形成された配線等を介してコントローラLSI200とフラッシュメモリ100の電源端子が接続され、外部端子T2……にはコントローラLSI200の対応する入出力端子が接続されている。フラッシュメモリ100の制御ピンやI/OピンとコントローラLSI200の対応する端子との間もプリント配線基板に形成された配線等を介して接続されており、リセット信号/RESはコントローラLSI200からフラッシュメモリ100へ入力される。

【0029】

この実施例のメモリカードにおいては、フラッシュメモリ100およびコントローラLSI200とともに数 $10\mu F$ 程度の電源コンデンサ400がパッケージ300に内蔵されている。この電源コンデンサ400は電源端子VCCとVSとの間に接続されて、外部からの電源の供給が遮断されてもしばらくの間、フラッシュメモリ100に電源を供給できるように構成されている。

【0030】

次に、本実施例のフラッシュメモリにおける消去および書き込み動作の手順と、消去または書き込み動作中に電源が遮断された場合の処理の手順の一例を、図5のタイミングチャートと図6および図7のフローチャートを用いて説明する。

【0031】

制御論理部16は、コントローラから消去を指示する第1コマンド(1stCMD)およびそれに付随する上位セクタアドレスSA1と下位セクタアドレスSA2を受信すると、内部電源回路23に対する起動信号や電圧変換回路18に対する電圧の指定信号などを生成して消去の準備を行なう(ステップS1～S3)。それから、コントローラより開始を指示する第2コマンド(2ndCMD)を受信するとメモリセルに所定の電圧を印加して消去を開始する(ステップS4, S5)。その後、消去ベリファイを行なってしきい値電圧が充分に下がっていなければ再度消去電圧を印加する(ステップS6)。

【0032】

入力アドレスで指示されたすべてのメモリセルのしきい値電圧が所定の電圧以下に下がると、ステップS7へ移行してデプリート状態すなわちしきい値電圧が

0V以下のメモリセルがあるか否かの判定が行なわれる。ここで、デプリート状態のメモリセルがなければ消去動作を終了し、デプリート状態のメモリセルがあればステップS8へ移行してしきい値電圧が低すぎるメモリセルに対してしきい値電圧を少し上げるためのバイアス電圧を印加する。

【0033】

その後、ステップS9でベリファイを行なってデプリート状態のメモリセルがなくなったか判定し、デプリチャージート状態のメモリセルなくなるまでバイアス電圧の印加を繰り返す。デプリート不良ビットがなくなるとステップS10で、メモリセルがディスタート状態すなわちしきい値電圧が上がり過ぎた状態になつていなか判定する。そして、しきい値電圧が上がりすぎたものがあればステップS5へ戻ってしきい値電圧を下げる方向の電圧を印加する。すべてのメモリセルのしきい値電圧が所定の範囲に入ったことを確認すると消去動作を終了する。

【0034】

本実施例のフラッシュメモリは、上記ステップS1～S4の第1コマンド受信から第2コマンド受信までの間に電源遮断①が発生してコントローラからリセット信号/RESが入力されると、直ちに消去動作を終了する。一方、ステップS5、S6の消去のためのバイアス電圧の印加とベリファイを行なっている間に電源遮断②が発生してコントローラからリセット信号/RESが入力されると、消去対象のメモリセルのしきい値電圧を最も高いデータ“01”に対応したしきい値電圧まで上げる書き込み電圧を印加する書戻し処理を行なう。

【0035】

また、ステップS7～S9のデプリートチェックと状態のメモリセルの書戻し処理を行なっている間に電源遮断③が発生してコントローラからリセット信号/RESが入力されると、動作を中断してデプリート状態のメモリセルがないかチェックしてなければ消去動作を終了し、デプリート状態のメモリセルがあれば該メモリセルに対してデータ“01”に対応したしきい値電圧まで上げる書戻し処理を行なう。なお、デプリート状態のメモリセルがないときは破線で示すようにステップS10へ移行するようにしてもよい。ステップS10移行の処理は比較



的短時間に終了するからである。

【0036】

さらに、ステップS10のデイスタート判定を行なっている時に電源遮断④が発生してコントローラからリセット信号／RESが入力された場合には、直ちに動作を終了するように構成されている。

【0037】

電源遮断後に行なわれる上記書戻し処理は電源コンデンサ400に蓄積されている電荷がなくなる前に終了するように構成されている。言い換えると、電源遮断後に上記書戻し処理を実行できる程度に電源コンデンサ400の容量値が設定されている。

【0038】

以上、消去動作について説明したが、書き込み動作も図6のフローチャートとほぼ同様である。書き込み動作が消去動作と異なる点は、ステップS1で書き込みコマンドを受信する点と、ステップS9の後で書き込みデータに応じた所望のレベルまでしきい値電圧を上げるためのバイアス電圧印加とベリファイ動作を行なう点にある。

【0039】

ところで、図6のフローチャートは、電源遮断が発生してコントローラからリセット信号／RESが入力されたときに、フラッシュメモリ内部がどの状態にあるのか制御論理部16が分かっていることを前提にしたものである。

【0040】

図7には、内部がどの状態にあるのか制御論理部16が容易に判断できるようにした実施例が示されている。この実施例においては、第1コマンド受信後に行なわれる準備動作（初期設定S11）が終了した時点で動作チェックフラグを立てる（ステップS12）とともに、書き込みまたは消去のためのバイアス電圧を印加（ステップS13）して最後のベリファイ動作（ステップS14）が終了した時点で動作チェックフラグを下げる処理（ステップS15）が設けられている。

【0041】

このように、動作チェックフラグを上げたり下げたりする処理を設けておけば

、電源遮断が発生してコントローラからリセット信号／R E Sが入力されたときに、フラッシュメモリ内部がどの状態にあるのか容易に知ることができるため、その状態に応じた処理が可能になる。具体的には、動作チェックフラグが立つ前や動作チェックフラグが下がった後で電源遮断が発生してコントローラからリセット信号／R E Sが入力された場合には直ちに書き込み又は消去動作を終了し、動作チェックフラグが立っている間に電源遮断が発生してコントローラからリセット信号／R E Sが入力された場合には、書き込み又は消去動作を中断（ステップS 1 6）し、しきい値電圧を高くする書き戻し処理（ステップS 1 7）を実行して終了する。

【0042】

なお、図7では図6の一部の処理の手順が簡略化して示されている。具体的には、図7のステップS 1 1は図6のステップS 1～S 4の処理に相当し、ステップS 1 3はステップS 5, S 8に、またステップS 1 4はステップS 6, S 7, S 9に相当する。上記動作チェックフラグは、例えばステータスレジスタSTRの空きビットを利用して設定することができる。また、上記動作チェックフラグは、不揮発性記憶素子を利用して電源が完全に遮断した後も状態を保持するように構成することができる。さらに、上記動作チェックフラグとは別に、以下に述べるように書き込みまたは消去動作中に電源遮断が発生したか否かを電源遮断後も記憶する電源遮断フラグを設けるようにしてもよい。

【0043】

次に、上記不揮発性メモリの電源遮断フラグの構成例を、図8～図11を用いて説明する。このうち、図8はワード線毎に電源遮断フラグを設けて電源遮断時に書き込み、消去中であったセクタを識別できるようにしたものである。図8において、MCは不揮発性のメモリセル、WLはワード線、WDRは図1のアドレスデコーダ11内に設けられ対応するワード線を選択レベルに駆動するワードドライバである。図8に示されているように、この実施例では、ワード線WLにコントロールゲート端子が接続された不揮発性記憶素子からなるフラグメモリFMと、該フラグメモリFMのドレイン端子に接続されたセンスアンプSAとが設けられているとともに、ワード線WL上にはスイッチMOSFET Qs1, Qs2

が設けられている。

【0044】

上記フラグメモリFMは、例えば初期設定でしきい値電圧が低い消去状態に設定しておいて、電源遮断時にセンスアンプSAに“1”をセットし、ワード線WLに高電圧を印加することによりしきい値電圧を高くすることでフラグがセットされた状態にさせることができる。また、このフラグメモリFMの書き込みの際にはスイッチMOSFET Qs1をオフ状態、またQs2をオン状態にしてメモリアレイ内のメモリセルMCに影響を与えないでフラグの設定を行なうことができる。

【0045】

上記フラグメモリFMの読み出しはメモリアレイを構成する記憶素子と同様にプリチャージ方式で行なうようにすることができる。ただし、メモリアレイを構成する記憶素子はしきい値電圧が4段階に設定され2ビットの情報を記憶するため、読み出しはワード線に3段階の読み出しレベルを設定して行なわれるが、フラグメモリFMの読み出しは、ワード線に1つの読み出しレベルを設定して、電流が流れるか否かを判定する簡易な判定方式とすることができる。

【0046】

この実施例は、フラグの数は多くなるが電源遮断時に書き込みまたは消去中のセクタの判定が容易になるという利点がある。フラグの立ち下げすなわち消去はメモリアレイ内のメモリセルの消去の際にブロック単位で同時に行なうように構成することができる。

【0047】

図9は、アドレスのデコード処理が階層的なデコード方式になっている場合にメモリアレイの各ブロックに対応した電源遮断フラグBFMと、複数のブロックの同一ワード線に対応した共通の電源遮断フラグCFMとを設けて、電源遮断時に書き込み、消去中であったセクタを識別できるようにしたものである。図9において、BLKはビット線およびソース線を共通にする並列形態のメモリセル列がワード線方向に所定数（例えば8512個）配列されてなるメモリブロック、WLはワード線、WDRはワード線を選択レベルに駆動するワードドライバ、W-

DECはブロック内の1本のワード線を選択するワードデコーダ、B-DECは書き込みまたは消去対象となるメモリセルを含むブロックを選択するブロックデコーダである。図9には示されていないが、電源遮断フラグBFMとCFMのドレイン端子にはセンスアンプが接続され、書き込みと読み出しが可能にされる。

【0048】

この実施例では、電源遮断フラグBFMとCFMを参照することにより、電源遮断時に書き込みまたは消去中のセクタを識別することができるとともに、図8の実施例よりもフラグメモリの数が少なくて済むという利点がある。

【0049】

図10は、電源遮断時に書き込み、消去中であったセクタのアドレスを保持するフラグメモリAFMを設けたものである。図10において、ACTは図1の制御論理部16内に設けられているアドレスカウンタ、11はアドレスをデコードしてメモリアレイ内のワード線を選択するアドレスデコーダである。この実施例では、アドレスを記憶するためのフラグメモリAFM1, AFM2……と、該フラグメモリのゲート端子に印加する電圧を生成するドライバDRV1, DRV2……と、各フラグメモリのドレイン端子に接続されセンスアンプSA1, SA2……と、上記ドライバに動作モードに応じて書き込み電圧または消去電圧、読み出し電圧のいずれかを供給するセレクタSELとが設けられている。フラグメモリAFMとドライバDRVとセンスアンプSAは、アドレスのビット数分だけ設けられる。

【0050】

この実施例は、図8や図9の実施例に比べてフラグメモリの数を大幅に少なくてできるという利点がある。なお、フラグメモリAFMは書き込み動作または消去動作が発生するたびに設定を行なってもよいが、電源遮断が発生した時にだけ設定を行なうようにすることもできる。

【0051】

図11は、書き込み、消去中に電源遮断が発生した場合に電源遮断時の動作モードが書き込みモードであったのか消去モードであったのかを記憶するモードフラグメモリMFM1, MFM2を設けたものである。この実施例では、制御論理部1

6 から動作モードを示すモード信号が出力されるとともに、該モード信号を入力としフラグメモリ MFM1, MFM2 のゲート端子に印加する電圧を生成するドライバDRV1, DRV2 と、各フラグメモリ MFM1, MFM2 のドレイン端子に接続されセンスアンプ SA1, SA2 と、上記ドライバドライバDRV1, DRV2 に動作モードに応じて書き込み電圧または消去電圧、読み出し電圧のいずれかを供給するセレクタ SEL とが設けられている。

【0052】

この実施例は、図10の実施例よりもさらにフラグメモリの数を少なくできるという利点がある。なお、フラグメモリ MFM1, MFM2 は書き込み動作または消去動作が発生するたびに設定を行なってもよいが、電源遮断が発生した時に行なうようにすることもできる。また、図11の実施例は、図8～図10の実施例と組み合わせて適用することで、より優れた利点が得られる。

【0053】

次に、図8または図9の実施例と図11の実施例を組み合わせた場合におけるフラグの読み出し方式の一例を、図12のフローチャートを用いて説明する。

【0054】

電源が投入されると、制御論理部16はチップ内部の各種レジスタの初期化を行なう（ステップS21）。続いてトリミングや電源設定等のためのヒューズの状態の読み出しを行なってから、内部電源回路23に起動信号を送って内部電源を立ち上げる（ステップS22, S23）。ここまでは、従来のフラッシュメモリと同様の動作である。

【0055】

この実施例では、内部電源立上げ後に制御論理部16がフラグサーチ処理を開始して、先ずステップS24で消去遮断フラグMFM2が立っているか判定し、立っていないときはステップS26へ移行して書き込み遮断フラグMFM1が立っているか判定し、いずれのフラグも立っていないときはそのままフラグサーチ処理を終了する。消去遮断フラグMFM2または書き込み遮断フラグMFM1が立っているときは、ステップS25, S27でそれぞれステータスレジスタSTRに消去中の電源遮断または書き込み中の電源遮断があったことを示すビットをセット

する。

【0056】

それから、アドレスカウンタをオールゼロに初期化して先頭アドレスをアドレスデコーダに供給してフラグメモリFMの読み出しを行なう（ステップS28, S29）。次に、読み出したフラグが立っているか判定（ステップS30）し、立っているときはそのときのアドレスカウンタの値を遮断アドレスとしてアドレスレジスタADRにセットして終了する（ステップS31）。一方、ステップS30でフラグが立っていないと判定した時はステップS32でアドレスカウンタをインクリメント（+1）してステップS28へ戻り、次のアドレス（セクタ）のフラグメモリの読み出しを行ない、立っているフラグが見つかるまで上記動作を繰り返す。

【0057】

図13および図14には、上記フローチャートに従ってアドレスレジスタADRにセットされた遮断アドレスを、外部のコントローラが読み出せるようにしたフラッシュメモリの読み出しタイミングの例を示す。

【0058】

図13は、コントローラがフラッシュメモリに対して所定のコマンドを送って読み出すように構成した場合のタイミングである。

【0059】

フラッシュメモリは、電源が立ち上がると初期設定およびフラグサーチを行ない、終了するとレディ／ビジー信号R／Bをレディ状態を示すハイレベルに変化させる（タイミングt1）。コントローラはこれを検知するとチップイネーブル信号／CE、出力イネーブル信号／OEをロウレベルに変化させる（タイミングt2, t3）。すると、入出力ピンI／O0～7からステータスレジスタSTRの内容が出力される（タイミングt4）。その後、コントローラがコマンドイネーブル信号／CMDをロウレベルに変化させるとともに、入出力ピンI／O0～7から遮断アドレスリードコマンドを入力する（タイミングt5）。そして、リードイネーブル信号／REをロウレベルとハイレベルに交互に変化させると、アドレスレジスタADRに保持されている例えは16ビットの遮断アドレスが8ビ

ットずつ入出力ピンI/O0～7から出力される（タイミングt6, t7）。

【0060】

図14は、コントローラがフラッシュメモリに設けられている所定の外部端子に制御信号を入力することにより、アドレスレジスタADRに保持されている遮断アドレスを読み出すように構成した場合のタイミングである。

【0061】

フラッシュメモリは、電源が立ち上がると初期設定およびフラグサーチを行ない、終了するとレディ／ビジー信号R/Bをレディ状態を示すハイレベルに変化させる（タイミングt11）。コントローラは、電源の立ち上がりと同時にフラッシュメモリの所定の外部端子（オートリード）をハイレベルに固定するとともに、レディ／ビジー信号R/Bのハイレベルの変化を検知してチップイネーブル信号/CEに変化させる（タイミングt12）。それから、リードイネーブル信号/REをロウレベルとハイレベルに交互に変化させると、ステータスレジスタSTRの内容とアドレスレジスタADRに保持されている遮断アドレスが順次入出力ピンI/O0～7から出力される（タイミングt13, t14, t15）。これにより、パワーオン時における遮断アドレスのオートリードが実行される。

【0062】

さらに、本実施例のフラッシュメモリは、外部から供給される電源電圧のレベルに応じて内部電源回路23が動作するように構成されている。

【0063】

図15は、内部電源回路23を構成するチャージポンプの一実施例を示す。この実施例のチャージポンプは、電源電圧端子VCCとクロック入力端子CKinとの間に直列に接続されたスイッチSW1および容量CB1と、スイッチSW1と容量CB1との接続ノードN1と出力端子OUTとの間に直列に接続されたn-1個のスイッチSW2～SWnと、スイッチSW2～SWnの各接続ノードN2～Nnに前記容量CB1と並列に接続された容量CB2～CBn-1とを備え、奇数番目のノードに接続された容量CB1, CB3, ……CBn-2の他端にはクロックφ1またはこれと同相のクロックφ2, φ3が印加され、偶数番目のノードに接続された容量CB2, CB4, ……CBn-1の他端にはクロックφ1, φ

2, ϕ 3と逆相のクロック/ ϕ 1, / ϕ 2, / ϕ 3が印加されている。

【0064】

また、奇数番目のスイッチ SW1, SW3, …… SWn-1はクロック ϕ 1によりオン、オフされ、偶数番目のスイッチ SW2, SW4, …… SWnは逆相のクロック/ ϕ 1によりオン、オフされる。これにより、スイッチ SW1により容量 CB1にチャージされた電荷が容量 CB2～CBn-1を左から右へ向って順次転送されて行き昇圧動作が行なわれる。かかる構成のチャージポンプは従来公知のチャージポンプとほぼ同様な構成である。

【0065】

この実施例のチャージポンプは、上記構成に加え、容量 CBn-2とスイッチ SWn-1の接続ノード Nn-1と出力端子 OUTとの間および容量 CBn-4とスイッチ SWn-3の接続ノード Nn-3と出力端子 OUTとの間にそれぞれ段数切替え用のスイッチ SW11, SW12が設けられている。これらのスイッチ SW11, SW12はそれぞれ制御論理部 16から供給される切替信号 EXC1, EXC2によりオン状態またはオフ状態にされる。

【0066】

スイッチ SW11と SW12が共にオフ状態にされると SW11と SW12がない場合と同じように動作することで図15の回路は (n-1) 段のチャージポンプとして動作し、スイッチ SW11がオン、SW12がオフ状態にされると SW11を介してノード Nn-1の電荷が出力端子 OUTへ供給されことで図15の回路は (n-3) 段のチャージポンプとして動作し、スイッチ SW11がオフ、SW12がオン状態にされると SW12を介してノード Nn-3の電荷が出力端子 OUTへ供給されことで図15の回路は (n-5) 段のチャージポンプとして動作する。つまり、図15のチャージポンプは昇圧段数が変更可能に構成されている。

【0067】

図16 (a) には図15の回路を (n-1) 段のチャージポンプとして動作させる場合に印加されるクロック ϕ 1～ ϕ 3, / ϕ 1～/ ϕ 3のタイミングを示す。図示されているように、 ϕ 1, ϕ 2, ϕ 3は互いに同一のタイミング、/ ϕ 1

，／ ϕ 2，／ ϕ 3も互い同一のタイミングでよい。 ϕ 1と／ ϕ 1は、電荷が逆方向に転送されるのを防止するため、互いにハイレベルの期間が重ならないようになされた逆相のクロックとされる。図16 (b)には図15の回路を(n-3)段のチャージポンプとして動作させる場合に印加されるクロック ϕ 1， ϕ 2，／ ϕ 1，／ ϕ 2のタイミングを示す。図示されているように、 ϕ 1， ϕ 2は互いに同一のタイミング、／ ϕ 1，／ ϕ 2も互い同一のタイミングとされる。 ϕ 3と／ ϕ 3はロウレベルに固定される。図16 (c)には図15の回路を(n-5)段のチャージポンプとして動作させる場合に印加されるクロック ϕ 1，／ ϕ 1のタイミングを示す。 ϕ 2と ϕ 2および ϕ 3と／ ϕ 3はロウレベルに固定される。

【0068】

ところで、図15のチャージポンプは、スイッチSW11をオンさせる(n-3)段動作時に、電荷転送用のスイッチSWn-1はクロック ϕ 3により、またスイッチSWnはクロック／ ϕ 3によりオフ状態にさせておいても昇圧動作をする。これに対し、図示されているように、スイッチSW11がオンの時にもスイッチSWn-1をクロック ϕ 1により、またスイッチSWnをクロック／ ϕ 1によりオン、オフさせることにより、昇圧用容量CBn-2，CBn-1を平滑容量として利用できるようになる。つまり、平滑容量CDの見かけ上の容量値を増加させることができる。スイッチSW12をオンさせる(n-5)段動作時についても同様であり、昇圧用容量CBn-4，CBn-3，CBn-2，CBn-1を平滑容量として利用できるようになる。

【0069】

本実施例のフラッシュメモリは、電源電圧VCCのレベルに応じて上記チャージポンプの段数を変更するような制御を行なう。具体的には、電源電圧VCCのレベルが高いときは段数の少ない(n-5)段で動作させ、電源電圧VCCのレベルが少し下がったときは段数を減らして(n-3)段で動作させ、電源電圧VCCのレベルがさらに下がったときは(n-1)段で動作させるように構成されている。これにより、電源電圧VCCが高い時も低い時も所望の所望の昇圧電圧が得られるとともに、出力のリップルを小さくすることができる。すなわち、電源電圧VCCが高い時は段数が少ないため段数が多い場合よりも出力のリップル

が大きくなるが、上記実施例のように段数が少ない時は平滑容量CDの容量値が大きくされることによりリップルを抑えることができる。

【0070】

本発明者らが開発している128MBのフラッシュメモリにおいて見積もりを行なったところ、容量CBn-4, CBn-3, CBn-2, CBn-1を平滑容量として利用しないでその分平滑容量CDの容量値を大きくしようとすると、平滑容量CDの占有面積は0.18mm²、チップサイズに対する比率で約0.4%、内部電源回路23の占有面積に対する比率では約5%も大きくする必要があることが分かった。従って、本実施例を適用することにより、チップサイズを約0.4%小さくすることができる。

【0071】

図17は内部電源回路23を構成するチャージポンプの他の実施例を示す。この実施例のチャージポンプは、スイッチSW11のオン、オフによりチャージポンプを4段と8段の2段階に切替え可能に構成されている。また、電荷転送用のスイッチ（図15のSW2～SWn）としてMOSFET QT1～QT8を用いているとともに、このスイッチMOSFET QT1～QT8を充分にオンさせて転送効率を高めるためにブースト用の容量CGが設けられている。QGはこのブースト用容量CGをチャージするためのスイッチMOSFETである。

【0072】

さらに、特に制限されるものでないが、この実施例では、各ノードN0～N7と電源電圧端子VCCとの間にはダイオードとして動作するMOSFET QBが設けられており、昇圧開始時に各ノードに電荷を直接注入して到達時間を短縮できるように構成されている。なお、LSFは段数切替えスイッチSW11をオン、オフ制御する切替え信号EXCを昇圧電圧VPPに近いレベルまでシフトするレベルシフト回路である。図17の実施例では、段数切替えスイッチSW11にNチャネルMOSFETを用いているが、PチャネルMOSFETを用いるようにしてもよい。

【0073】

図18（a）には図17の回路を8段のチャージポンプとして動作させる場合



に印加されるクロックのタイミングが、また図18（b）には図17の回路を4段のチャージポンプとして動作させる場合に印加されるクロックのタイミングが示されている。図において、FB01, FB02, FB11, FB12は昇圧動作用のクロック、FC1, FC2はブースト用容量CGをたたいて電荷転送用MOSFET QT1～QT8のゲート電圧を押し上げるクロックである。4段のチャージポンプとして動作させる場合、スイッチSW11はオン状態とされ、クロックFB11, FB12はロウレベル（0V）に固定される。この実施例においても、4段のチャージポンプとして動作するときには、後段の昇圧用容量CBは平滑容量として利用されるように電荷転送用MOSFET QT5～QT8が制御される。

【0074】

図19は内部電源回路23を構成するチャージポンプのさらに他の実施例を示す。この実施例のチャージポンプは、図17のチャージポンプでは前段と後段でブースト用のクロックを共通に用いていたものを、別々のブースト用クロックFC01, FC02; FC11, FC12で動作させるようにしたものである。図20（a）には図19の回路を8段のチャージポンプとして動作させる場合に印加されるクロックのタイミングが、また図20（b）には図18の回路を4段のチャージポンプとして動作させる場合に印加されるクロックのタイミングが示されている。図20のようなクロックによってチャージポンプを動作させることにより、図18のチャージポンプよりも4段動作時における平滑容量CDの効率をさらに向上させることができる。

【0075】

次に、本発明の変形例を説明する。この変形例は、図21に示すように、ヒューズ素子を含む回路などからなり使用する電源電圧に応じて電源を設定する電源設定回路24を設けるとともに、電源電圧検出回路19として電源電圧VCCのレベルを3段階以上に区別して検出し、電源設定状態に応じて電源遮断を検出することができる電源遮断検出回路25を設けたものである。前記段数切替え可能なチャージポンプは、上記電源設定回路24の電源設定に応じて段数が設定されるように構成することもできる。



【0076】

電源遮断検出回路25は、上記電源電圧検出回路19からの検出信号DTC1, DTC2, DTC3……を電源設定回路24の電源設定状態に応じて選択的に通過させるゲートG1～G5……と、上記検出信号DTC1, DTC2, DTC3……のいずれかを起動信号および停止信号として動作クロックCLKを計数するカウンタCNTと、該カウンタが計時する時間を設定するタイマ設定レジスタTMRと、カウンタCNTの計数値とタイマ設定レジスタTMRの設定値とを比較するコンパレータCMPとから構成されている。タイマ設定レジスタTMRの設定値は電源設定回路24の電源設定状態に応じて異なる値とされる。

【0077】

電源設定回路24の電源設定状態が最も高い状態1に設定されると、ゲートG1とG2が開かれて電源電圧検出回路19からの検出信号DTC1を起動信号としてまた検出信号DTC2を停止信号としてカウンタCNTに供給する。電源設定回路24の電源設定状態が2番目に高い状態2に設定されると、ゲートG3とG5が開かれて電源電圧検出回路19からの検出信号DTC2を起動信号としてまた検出信号DTC3を停止信号としてカウンタCNTに供給する。

【0078】

図22には、電源設定回路24において電源設定状態1が設定されている場合の動作波形が示されている。電源電圧VCCが低下して検出レベル1に到達すると検出信号DTC1がハイレベルからロウレベルに変化し、これに応じてカウンタCNTがクロックの計数を開始する。そして、電源電圧VCCがさらに低下して検出レベル2に到達すると検出信号DTC2がハイレベルからロウレベルに変化し、これに応じてカウンタCNTが計数動作を停止する。このときカウンタCNTに計数された値が設定値よりも大きくなるとコンパレータCMPの出力信号である電源遮断検出信号VCDがロウレベルからハイレベルに変化される。これによって制御論理部16は電源遮断が発生したことを知ることができる。

【0079】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々

変更可能であることはいうまでもない。例えば、実施例においては、1つの記憶素子（メモリセル）に2ビットのデータを記憶可能な4値のフラッシュメモリについて説明したが、本発明は1つの記憶素子に1ビットのデータを記憶する2値のフラッシュメモリや3ビット以上のデータを記憶する多値のフラッシュメモリに対しても適用することができる。

【0080】

また、実施例においてはメモリセルのしきい値電圧が低い状態を消去状態と称し、しきい値電圧が高い状態を書き込み状態と称しているが、メモリセルのしきい値電圧が高い状態を消去状態に対応させ、しきい値電圧が低い状態を書き込み状態に対応させるようにしたフラッシュメモリに対しても本発明を適用することができる。

【0081】

さらに、前記実施例においては、複数の記憶素子がビット線とソース線との間に並列に接続されたいわゆるAND型もしくはNOR型のフラッシュメモリについて説明したが、本発明は記憶素子が直列に接続されたいわゆるNAND型のフラッシュメモリや、MONOS構造のメモリセルを持つ不揮発性メモリ等に対しても適用することができる。NAND型等のフラッシュメモリでは、デプリート状態のメモリセルが存在することによりブロック内のデータがすべて不正確になるということはないが、電源遮断でデプリート状態のまま残ったメモリセルがあっても本発明を適用することで修復が可能になる。

【0082】

即ち、図8から図14において説明した技術を適用することにより、書き込み又は消去途中に電源遮断が生じ、該メモリセルに格納されているデータは不正確であり使用することができない事を知ることができる。これにより該メモリセルに格納されているデータを誤って使用して、望まない結果が生じることを防ぐことができる。またAND型若しくはNOR型のフラッシュメモリではデプリート状態のメモリセルが存在しているとシステム全体として動作できなくなる虞があるため、前記実施例では書き込み又は消去途中に電源遮断が生じたか否か確認をする動作を説明したが、NAND型のフラッシュメモリ等であればデプリート状態の

メモリセルが存在していてもシステム全体として動作することは可能であるため、読み出しや書き込みを行なう際に、確認の動作を行なうようにしても良い。

【0083】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、本発明は、電圧を印加してしきい値電圧を変化させて情報の記憶を行なう不揮発性記憶素子を有する半導体メモリに広く利用することができる。

【0084】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0085】

すなわち、本発明に従うと、書き込みまたは消去の動作が完全に終了する前に電源遮断が発生してデプリート状態のメモリセルが発生しても、その後の書き出し処理でメモリセルのしきい値電圧が高くされるため、ブロック全体のデータが正しく読みなくなる事態に至るのを回避できるようになる。

【0086】

また、書き込みまたは消去の途中で電源遮断が発生したことを外部へ知らせるフラグを設けたことにより、ホストCPUなどの外部装置が、電源遮断で破損したメモリ内のデータの修復を行なうことができるようになる。これによって、電源遮断でシステム領域のデータが破損しても修復を行なうことで、メモリの認識ができなくなったりシステムの正常動作が不能になるのを回避することができる。

【0087】

さらに、電源電圧のレベルに応じて内部電源（チャージポンプの段数）を切り替えるように構成したので、電源遮断により電源電圧が低下してもそれに応じて内部電源が動作して所望の電圧を発生することによって、書き出し処理を確実に実行することができるようになり、メモリの信頼性が向上するようになる。

【図面の簡単な説明】

【図1】

本発明を適用して有効な不揮発性半導体記憶装置の一例としてのフラッシュメモリの実施例を示すブロック図である。

【図2】

実施例のフラッシュメモリのメモリセルのしきい値電圧分布を示す説明図である。

【図3】

実施例のフラッシュメモリのメモリアレイの構成例を示す回路説明図である。

【図4】

実施例のフラッシュメモリを利用したメモリカードの一構成例を示すブロック図である。

【図5】

実施例のフラッシュメモリにおける消去および書き込み動作と、消去または書き込み動作中に電源が遮断された場合の処理の動作タイミングの一例を示すタイミングチャートである。

【図6】

実施例のフラッシュメモリにおける消去および書き込み動作の手順と、消去または書き込み動作中に電源が遮断された場合の処理の手順の一例を示すフローチャートである。

【図7】

実施例のフラッシュメモリにおける消去および書き込み動作の手順と、消去または書き込み動作中に電源が遮断された場合の処理の手順の他の例を示すフローチャートである。

【図8】

実施例のフラッシュメモリにおける電源遮断フラグの構成例を示す説明図である。

【図9】

実施例のフラッシュメモリにおける電源遮断フラグの他の構成例を示す説明図である。

【図10】

実施例のフラッシュメモリにおける電源遮断時のアドレスを保持するフラグの構成例を示す説明図である。

【図11】

実施例のフラッシュメモリにおける電源遮断時の動作状態を保持するフラグの構成例を示す説明図である。

【図12】

実施例のフラッシュメモリにおける電源投入時におけるフラグサーチ処理の手順の一例を示すフローチャートである。

【図13】

実施例のフラッシュメモリにおける電源投入時における遮断アドレスの外部読み出しのタイミングの一例を示すタイミングチャートである。

【図14】

実施例のフラッシュメモリにおける電源投入時における遮断アドレスの外部読み出しのタイミングの他の例を示すタイミングチャートである。

【図15】

内部電源回路を構成するチャージポンプの一実施例を示す回路図である。

【図16】

(a) は図15の回路を $(n-1)$ 段のチャージポンプとして動作させる場合に印加されるクロックのタイミング、(b) は図15の回路を $(n-3)$ 段のチャージポンプとして動作させる場合に印加されるクロックのタイミング、(c) は図15の回路を $(n-5)$ 段のチャージポンプとして動作させる場合に印加されるクロックのタイミングを示すタイミングチャートである。

【図17】

内部電源回路を構成するチャージポンプの他の実施例を示す回路図である。

【図18】

(a) は図17の回路を8段のチャージポンプとして動作させる場合に印加されるクロックのタイミング、(b) は図17の回路を4段のチャージポンプとして動作させる場合に印加されるクロックのタイミングを示すタイミングチャート

である。

【図 19】

図 17 のチャージポンプの変形例を示す回路図である。

【図 20】

(a) は図 19 の回路を 8 段のチャージポンプとして動作させる場合に印加されるクロックのタイミング、(b) は図 19 の回路を 4 段のチャージポンプとして動作させる場合に印加されるクロックのタイミングを示すタイミングチャートである。

【図 21】

本発明の変形例としての電源遮断検出回路を備えたフラッシュメモリの電源遮断検出部の構成例を示すブロック図である。

【図 22】

図 21 の電源遮断検出部の動作波形例を示す波形図である。

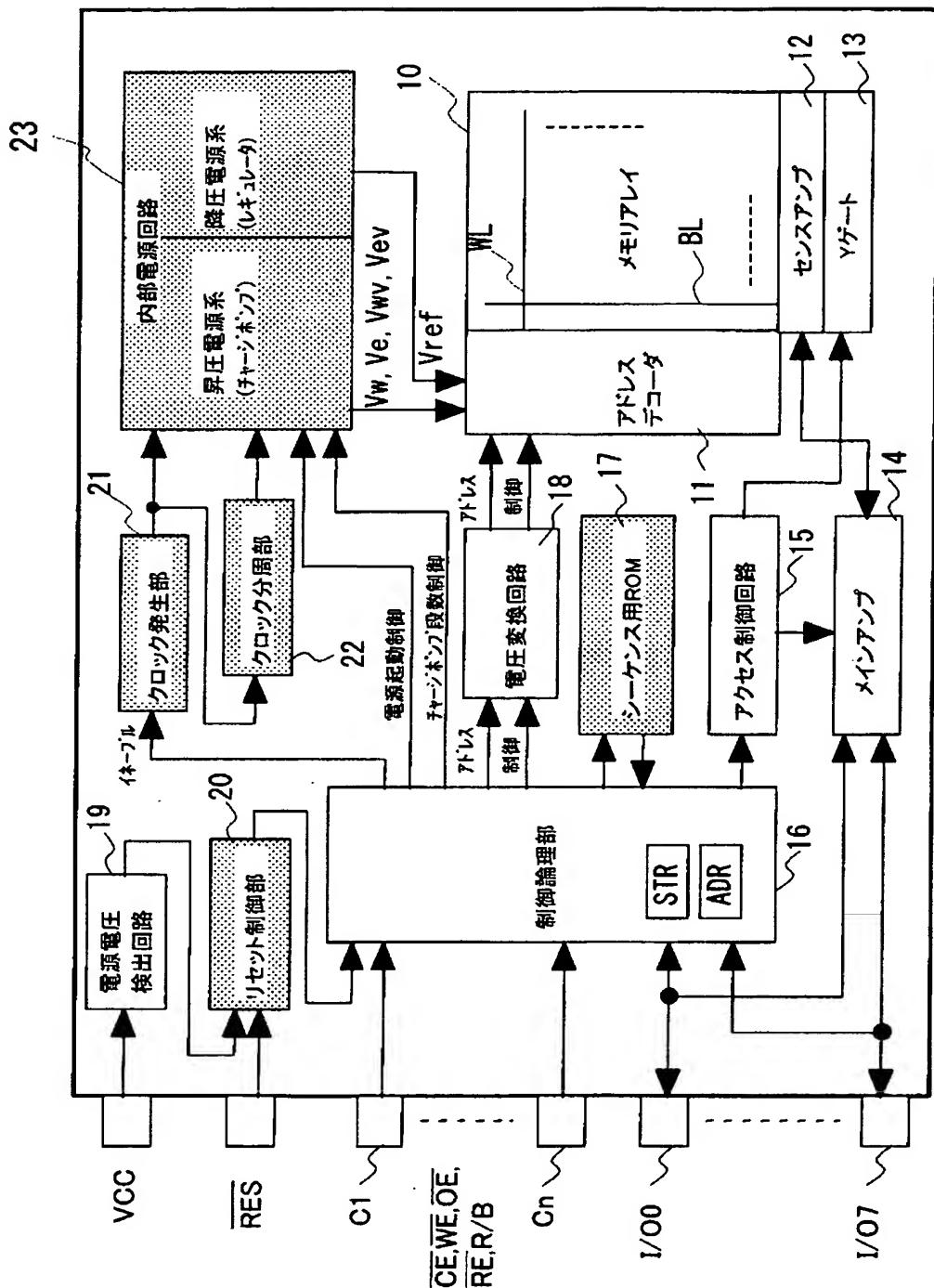
【符号の説明】

- 10 メモリアレイ
- 11 アドレスデコーダ
- 16 制御論理部
- 19 電源検出回路
- 23 内部電源回路
- 25 電源遮断検出回路
- MC メモリセル
- WL ワード線
- BL ビット線
- SL ソース線
- STR ステータスレジスタ
- ADR アドレスレジスタ
- WDR ワードドライバ
- C FM フラグメモリ

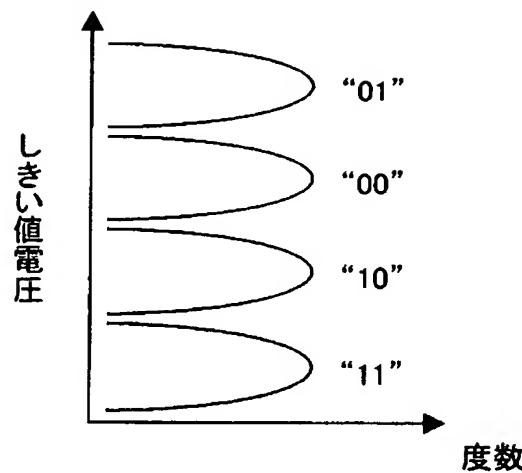
【書類名】

四面

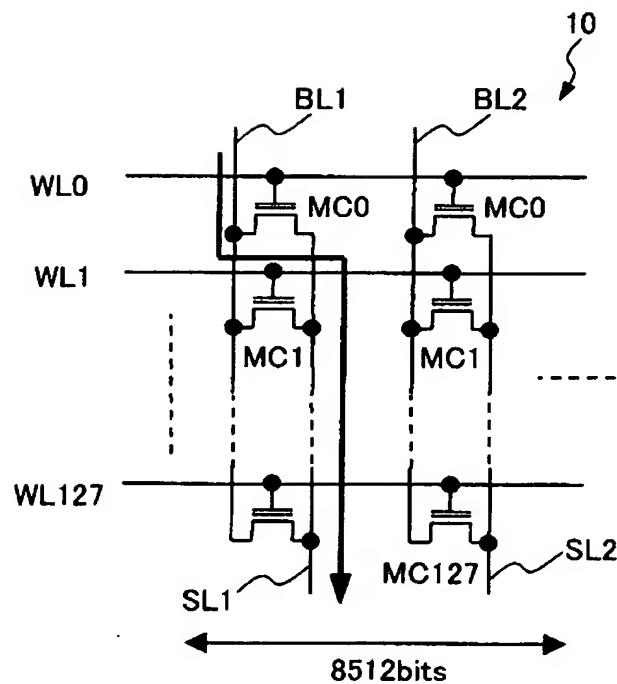
【図1】



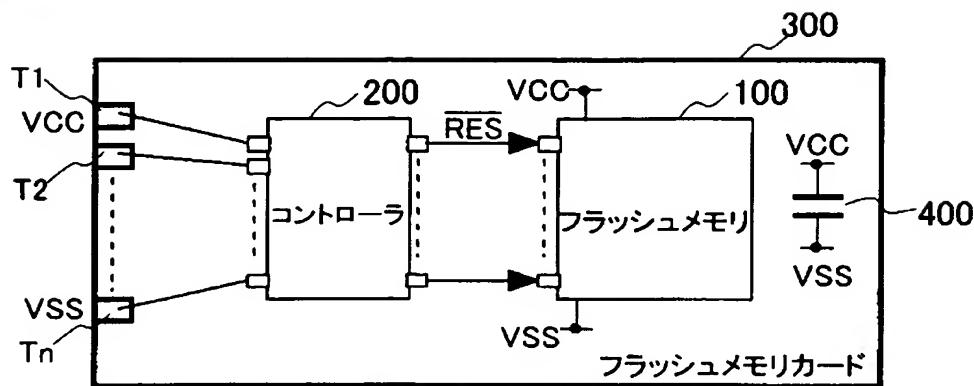
【図 2】



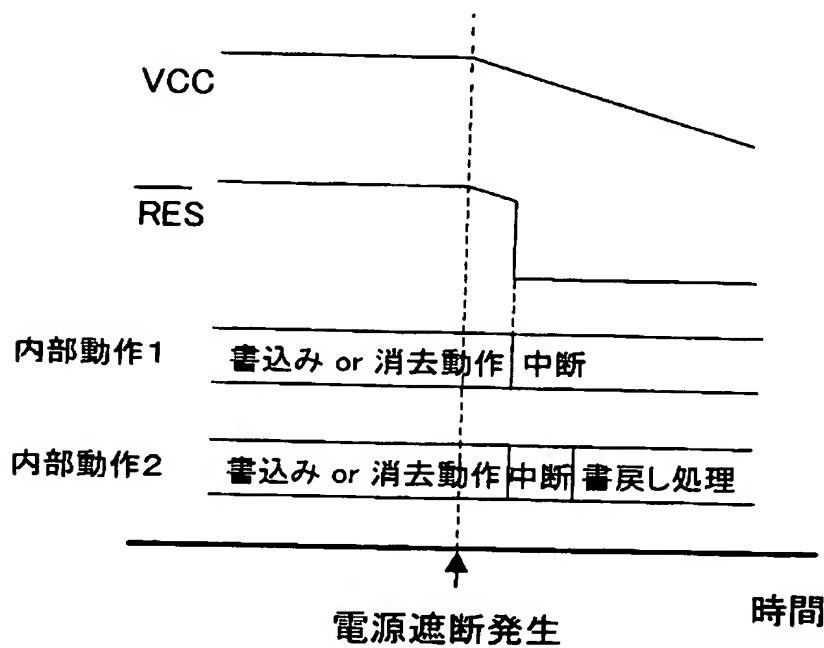
【図 3】



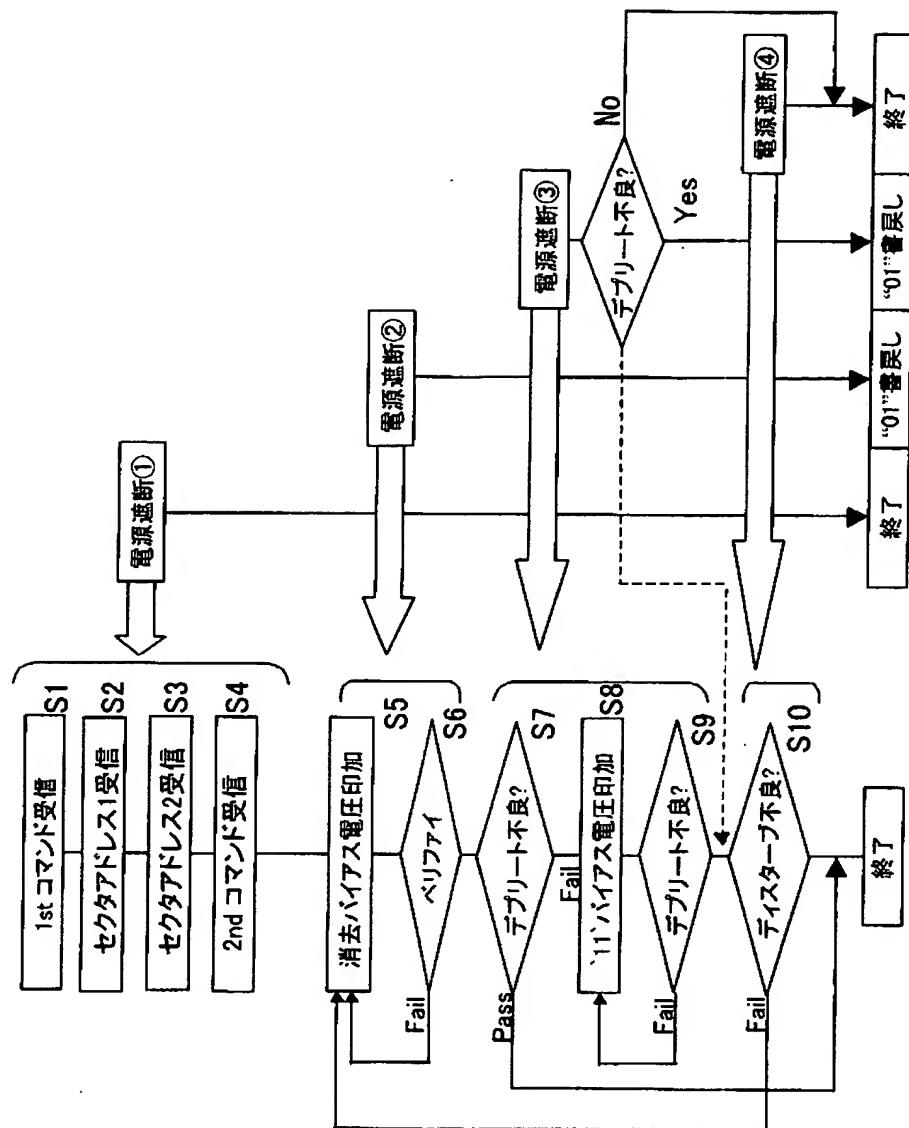
【図4】



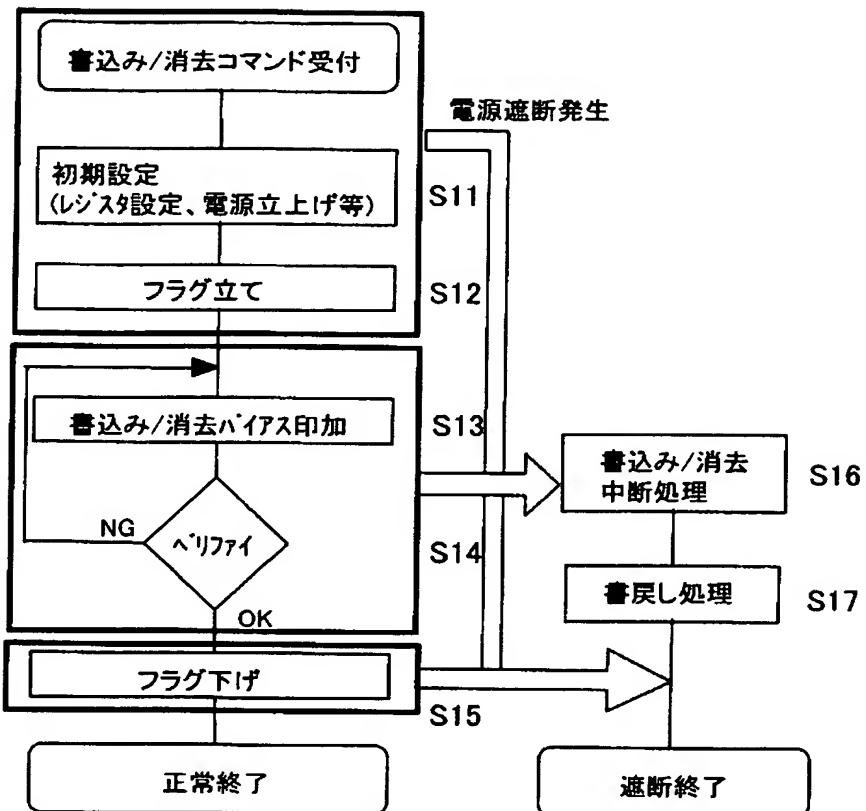
【図5】



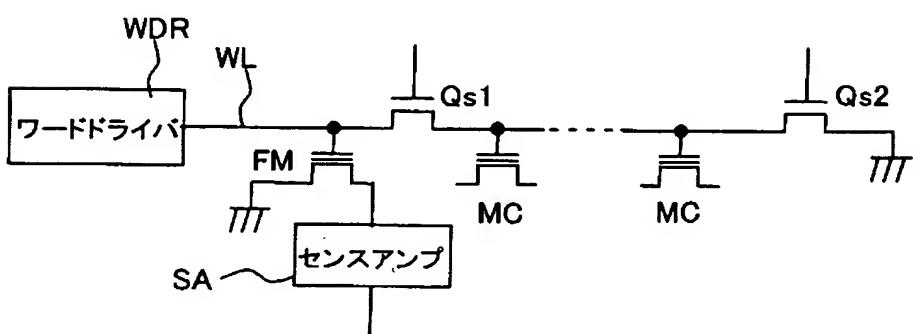
【図6】



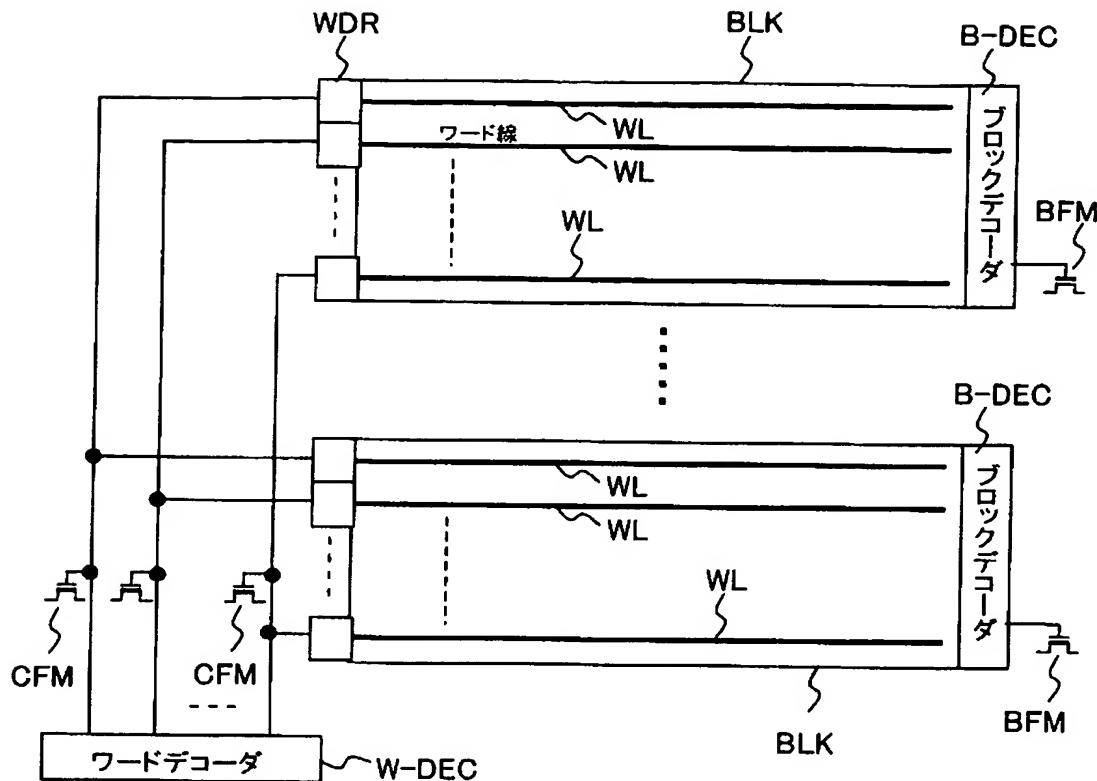
【図 7】



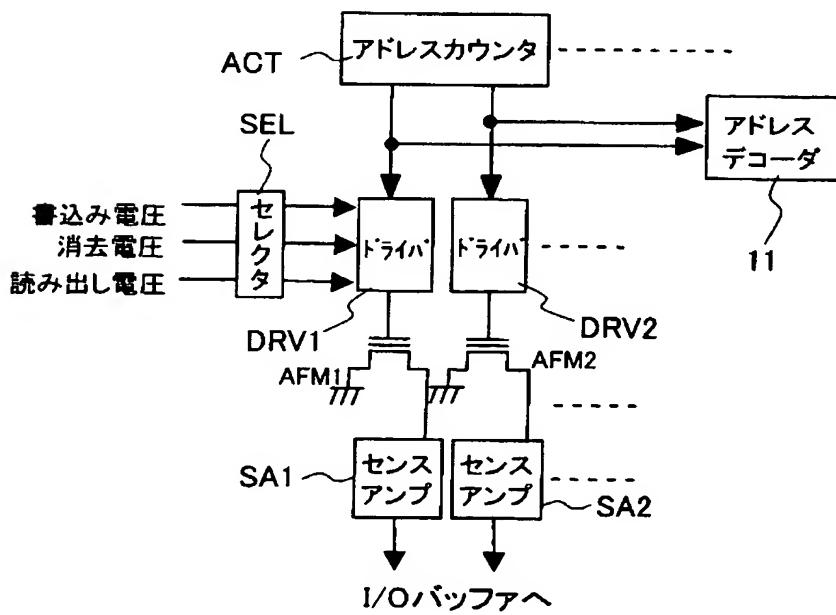
【図 8】



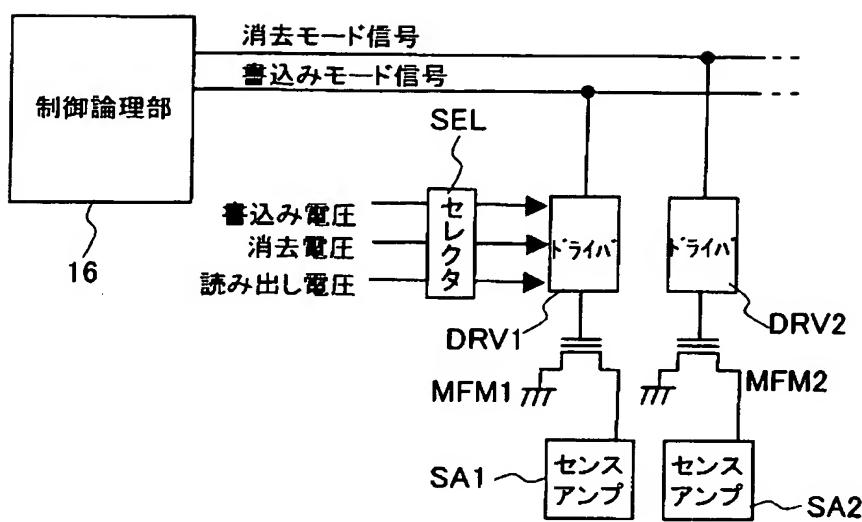
【図 9】



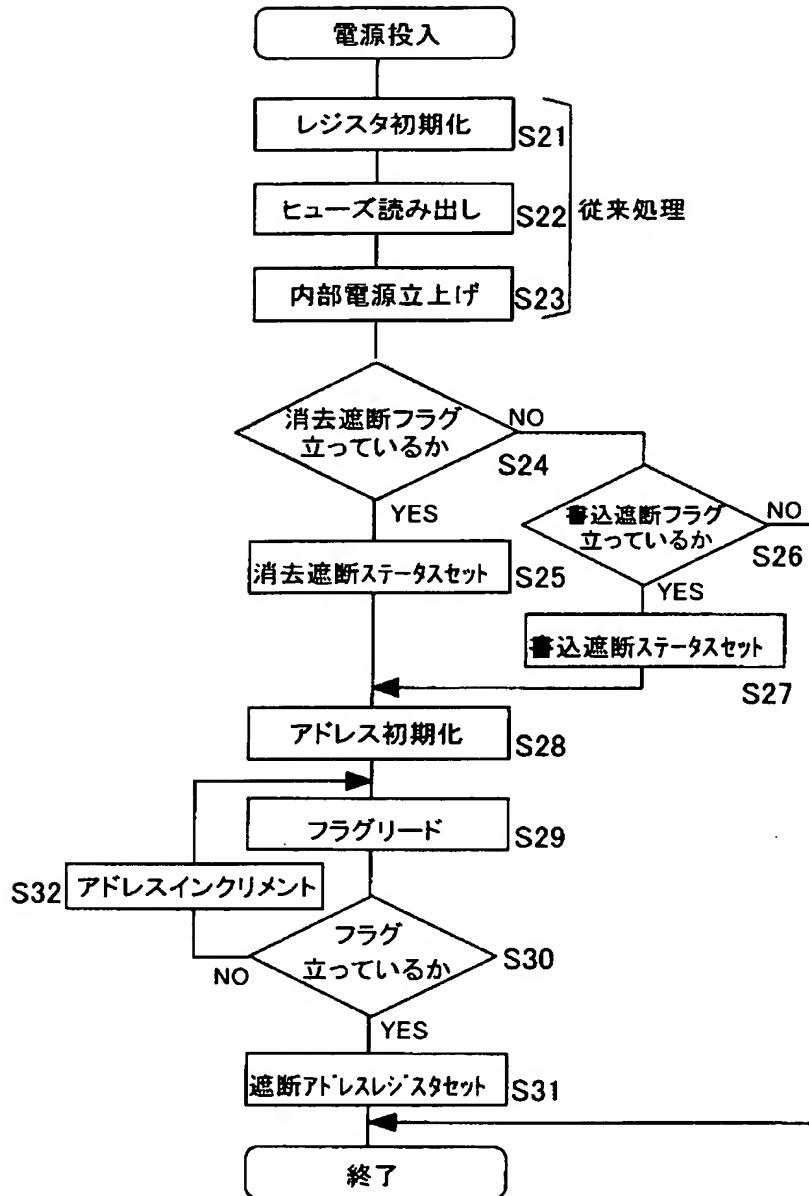
【図 10】



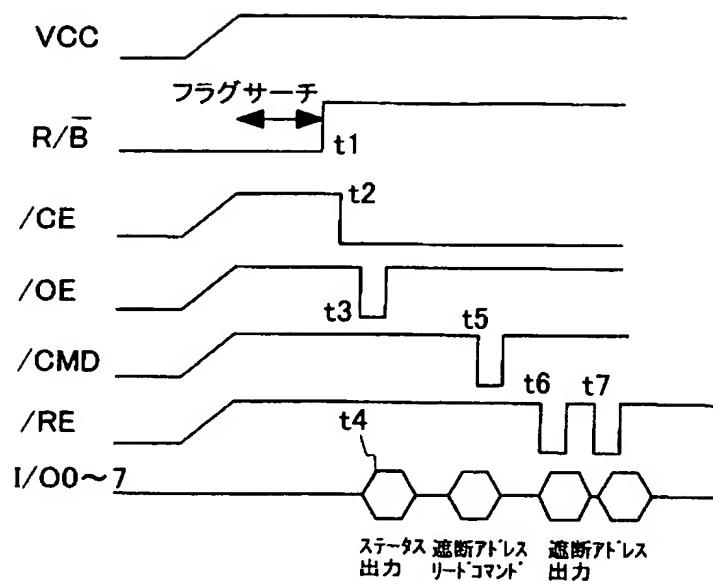
【図 11】



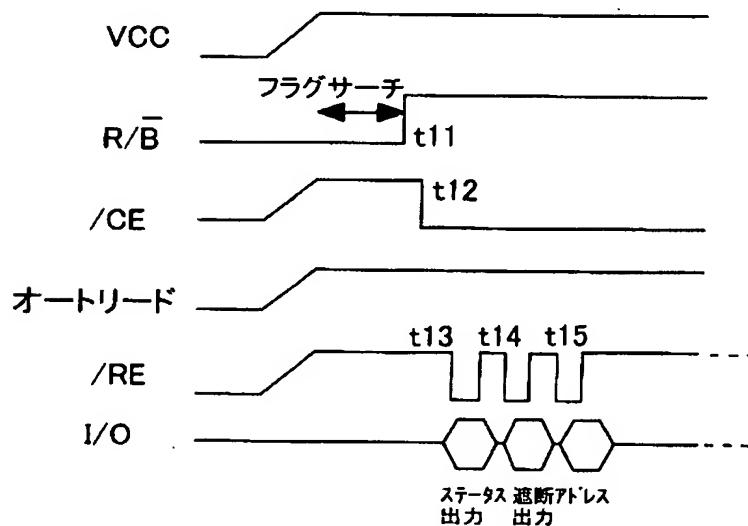
【図12】



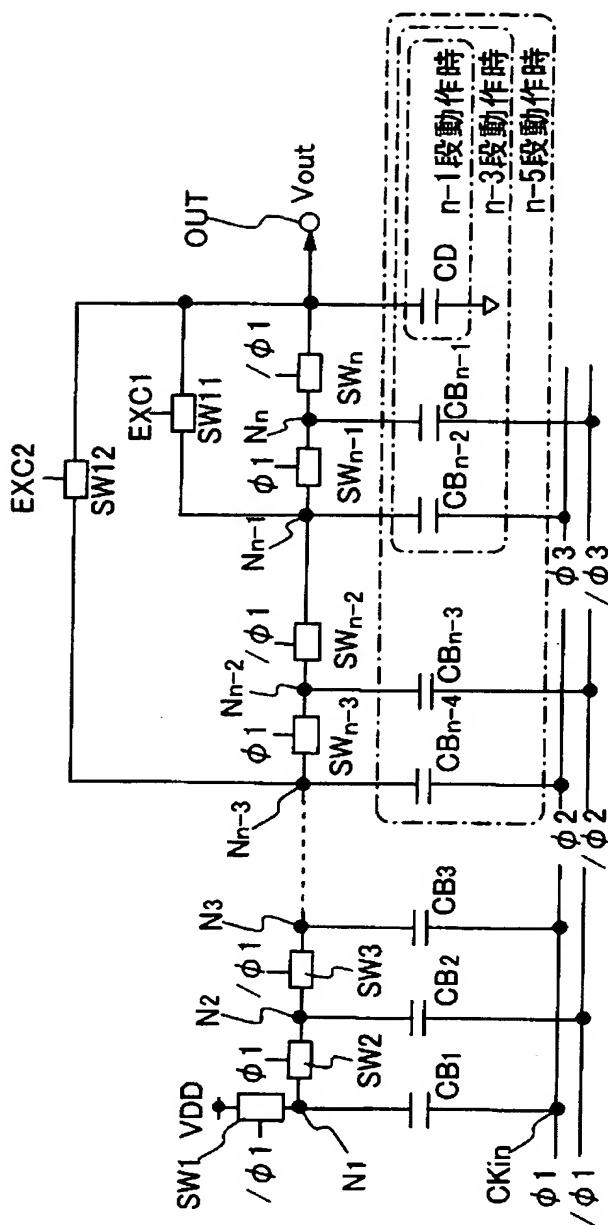
【図 1 3】



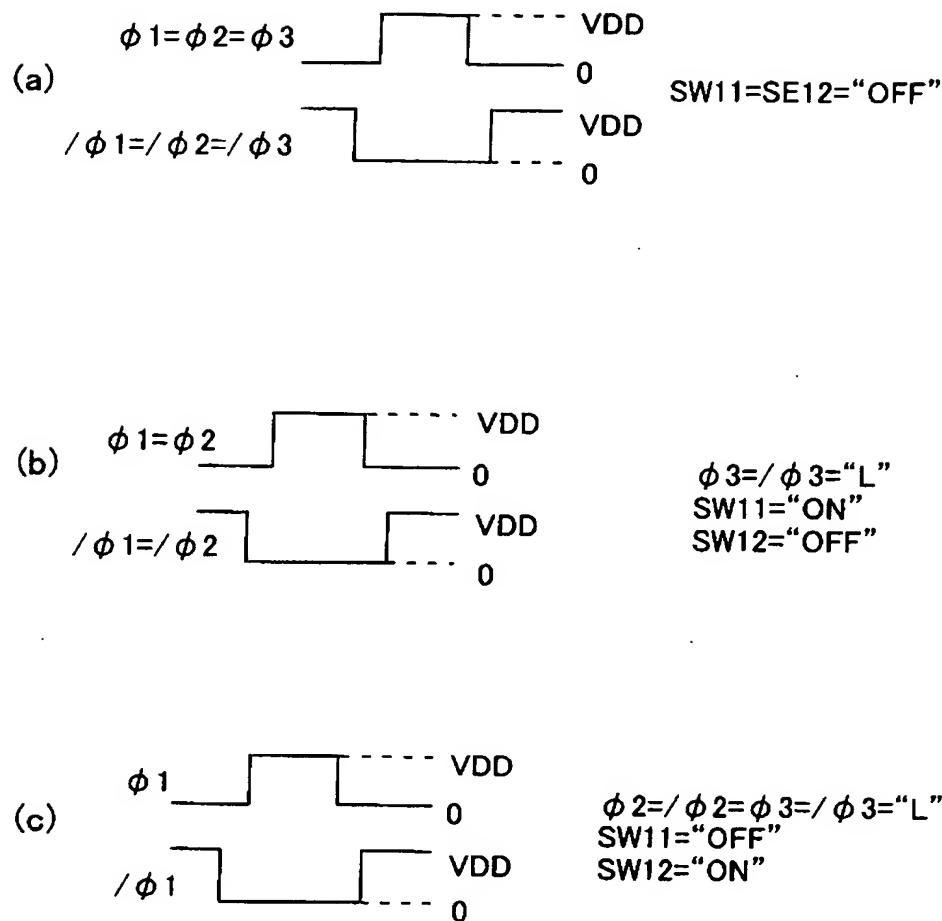
【図 1 4】



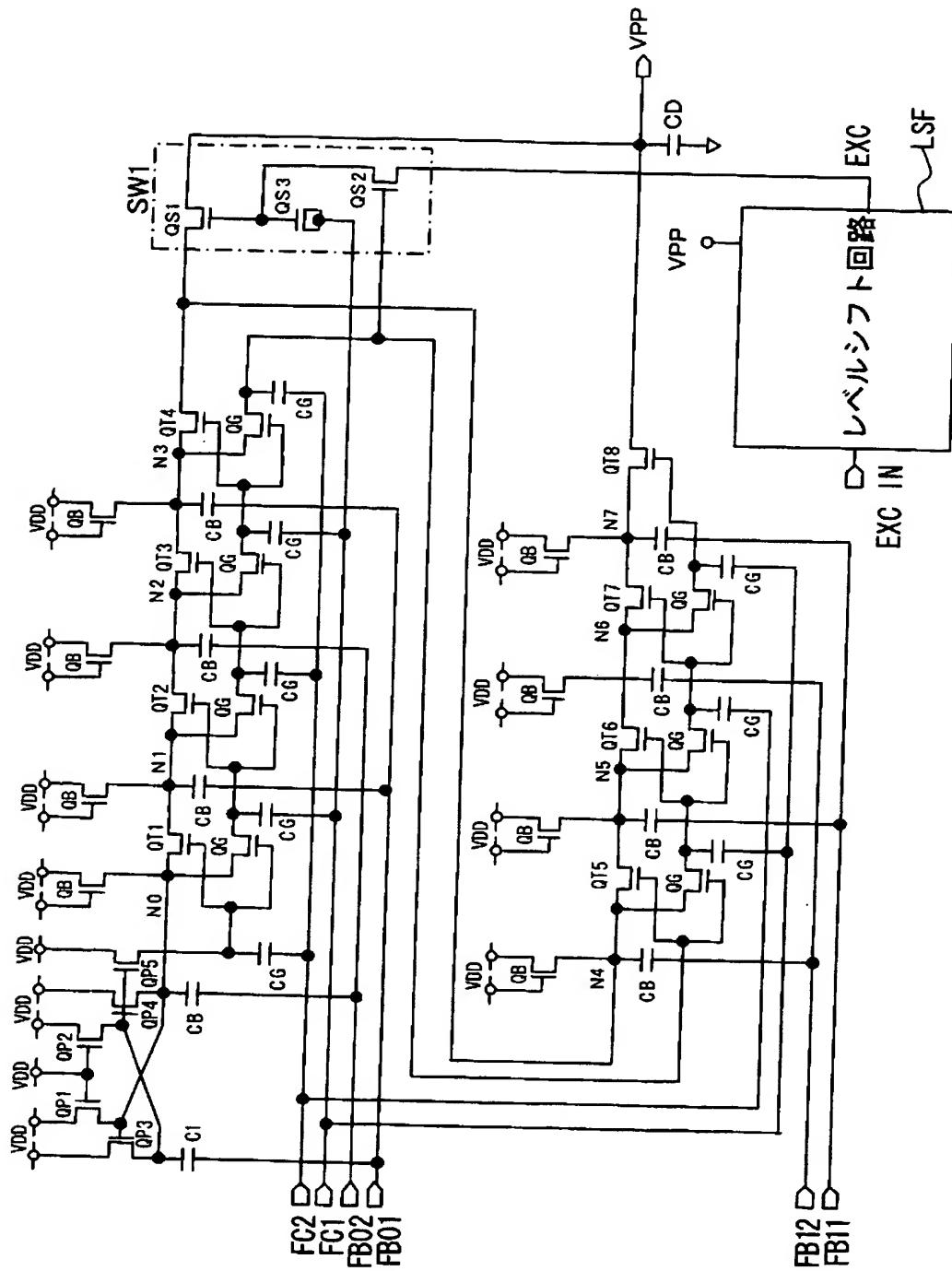
【図 15】



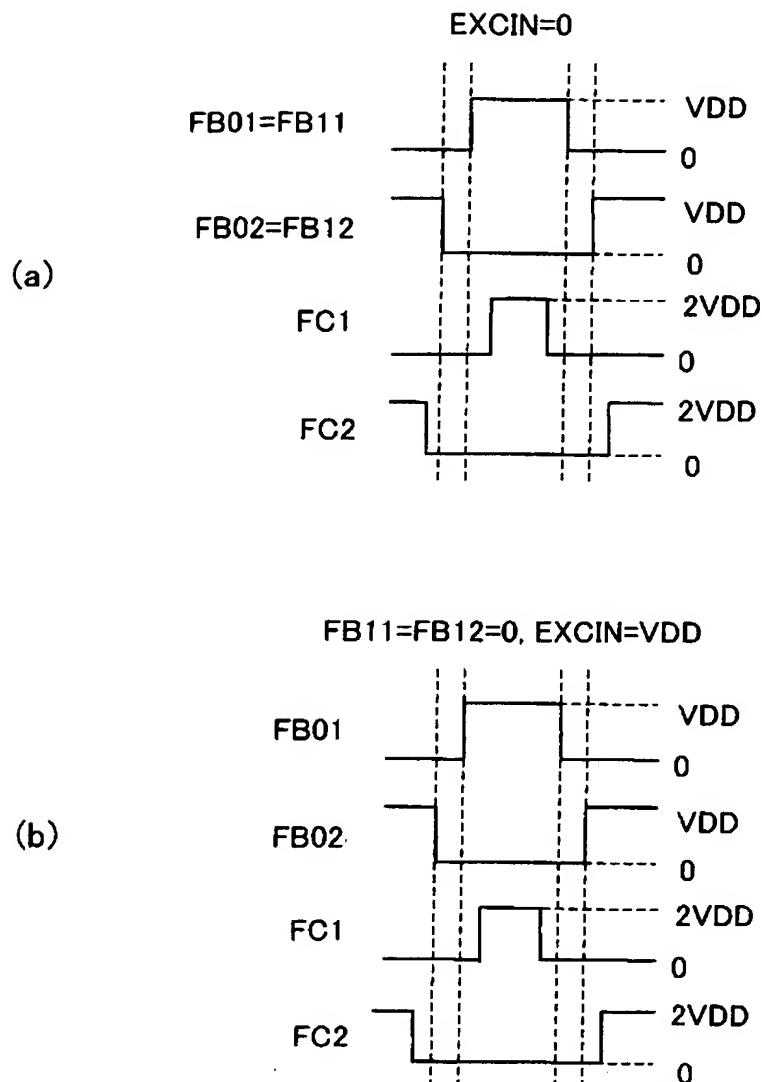
【図16】



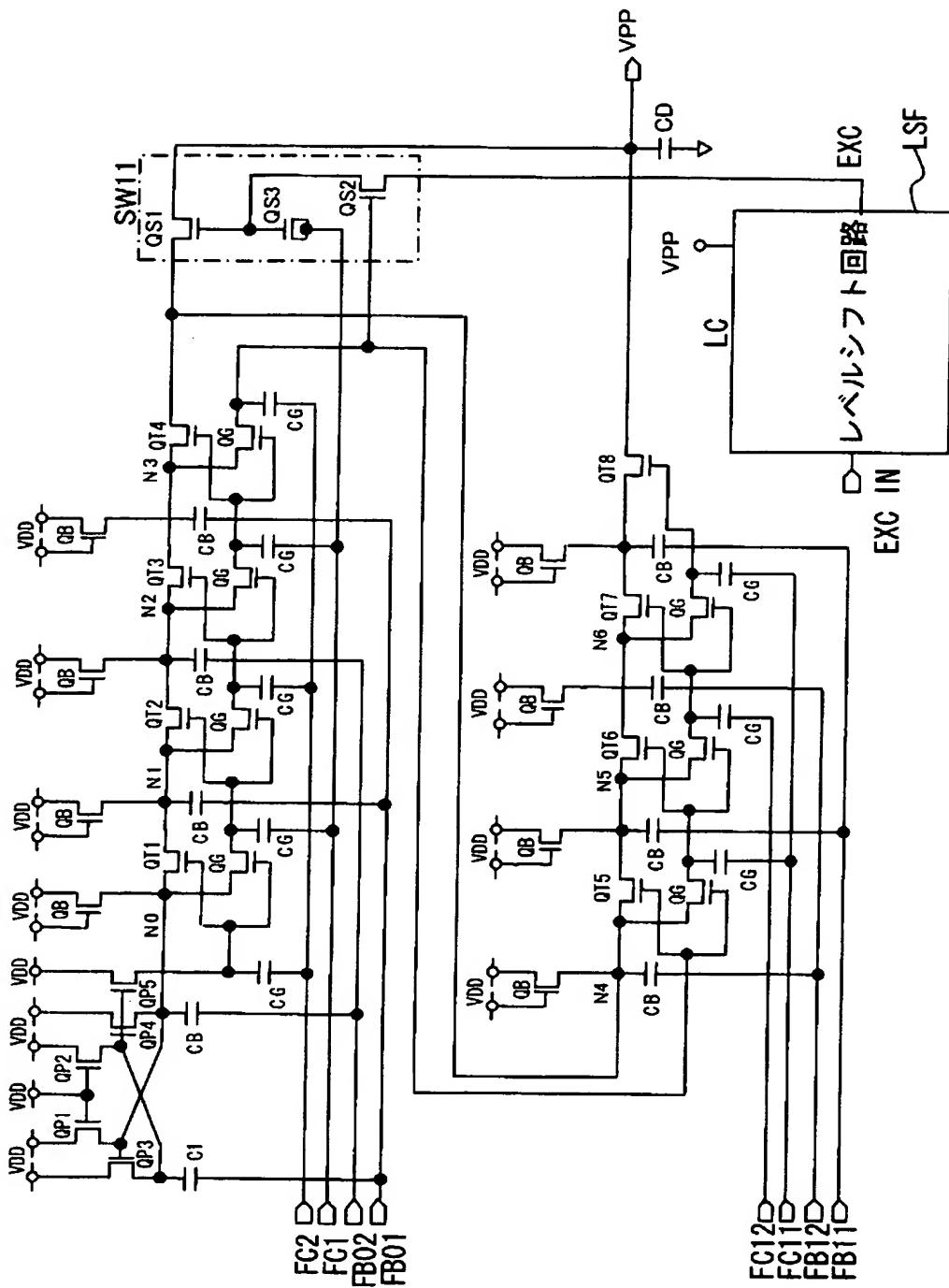
【図 17】



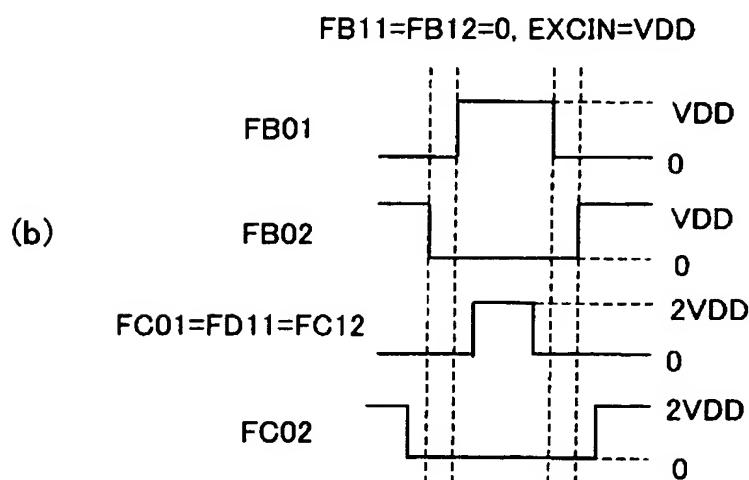
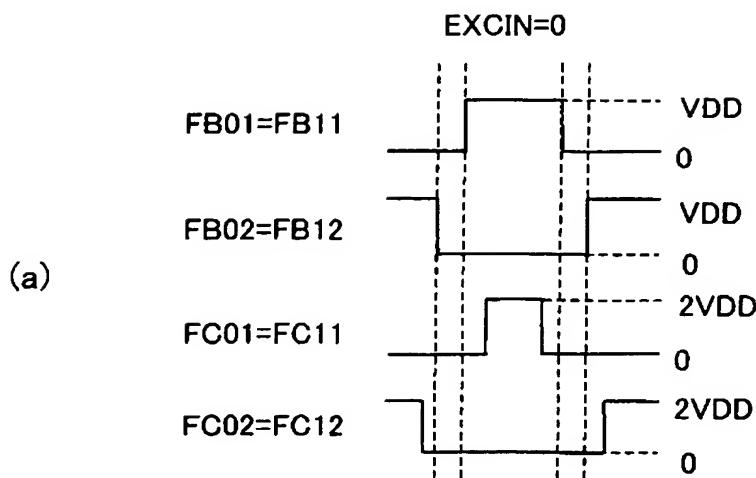
【図18】



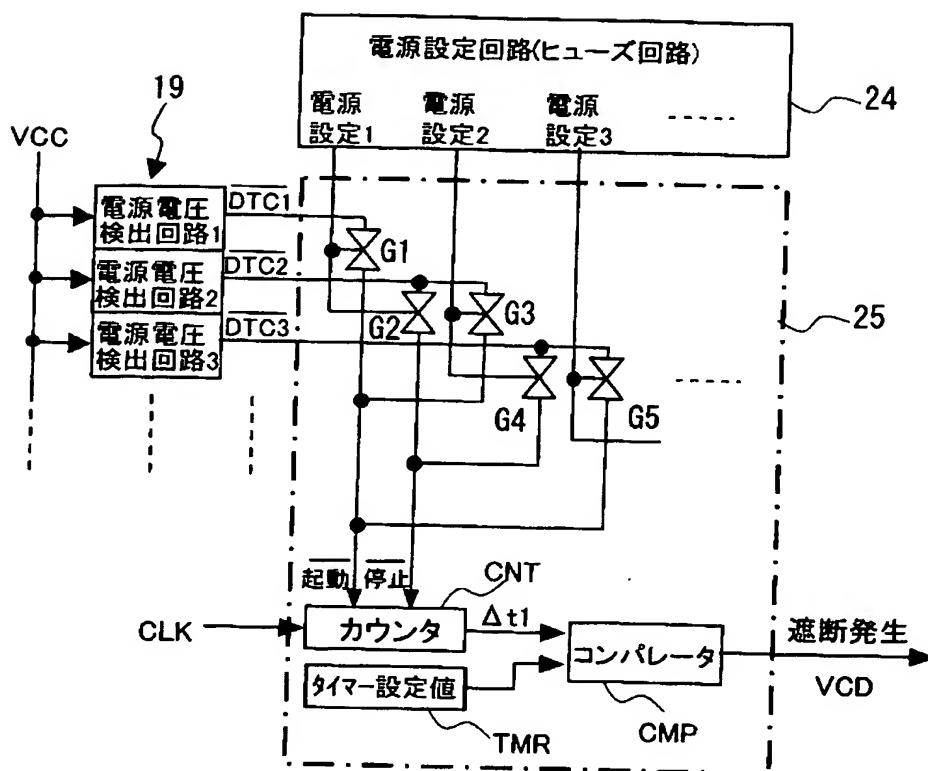
【図19】



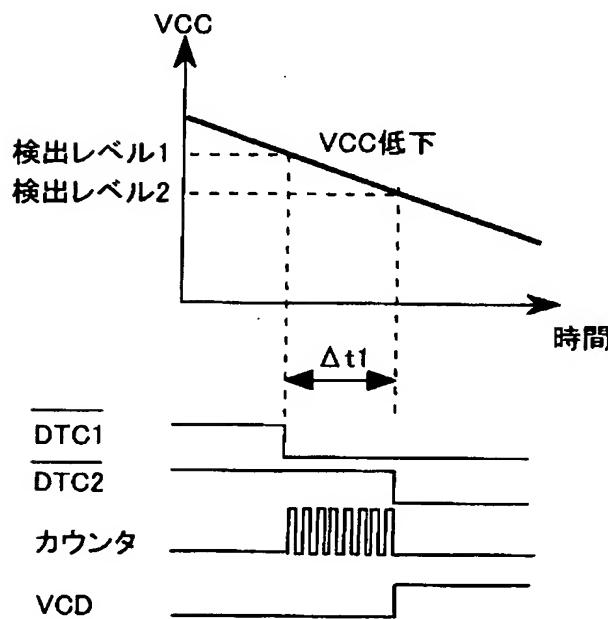
【図 20】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 フラッシュメモリのような電気的に書き込み、消去可能な不揮発性半導体記憶装置において、書き込みまたは消去動作中に電源遮断が発生した場合にも、デブリート状態のメモリセルが発生しないようにする。

【解決手段】 フラッシュメモリのような不揮発性半導体記憶装置において、書き込みまたは消去動作中に電源遮断が発生した場合には、実行中の動作を中断してしきい値電圧を逆方向へ変化させる書き戻し処理を行なうように構成した。また、該書き戻し処理が行なえるように電源電圧のレベルに応じて内部電源回路（チャージポンプの段数）を切替え可能に構成した。

【選択図】 図7

認定・付加情報

特許出願の番号	特願 2002-278905
受付番号	50201431251
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 9月26日

<認定情報・付加情報>

【提出日】 平成14年 9月25日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-278905

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第3154542号 平成15年4月11日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平3-108712号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2002-278905
受付番号	50301232420
書類名	出願人名義変更届（一般承継）
担当官	土井 恵子 4264
作成日	平成15年 9月 2日

<認定情報・付加情報>

【提出日】 平成15年 7月25日



特願 2002-278905

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

[変更理由]

住 所
氏 名

1990年 8月31日

新規登録

東京都千代田区神田駿河台4丁目6番地
株式会社日立製作所

特願 2002-278905

出願人履歴情報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号
氏 名 株式会社日立超エル・エス・アイ・システムズ